

(51) Int. Cl.<sup>6</sup>  
H01L 29/78  
21/336  
G03F 1/08  
H01L 21/027  
21/3065

識別記号

F I  
H01L 29/78 301 L  
G03F 1/08 Z  
H01L 21/30 502 P  
21/302 H

審査請求 未請求 請求項の数10 O L (全9頁)

(21) 出願番号 特願平8-183687  
(22) 出願日 平成8年(1996) 7月12日

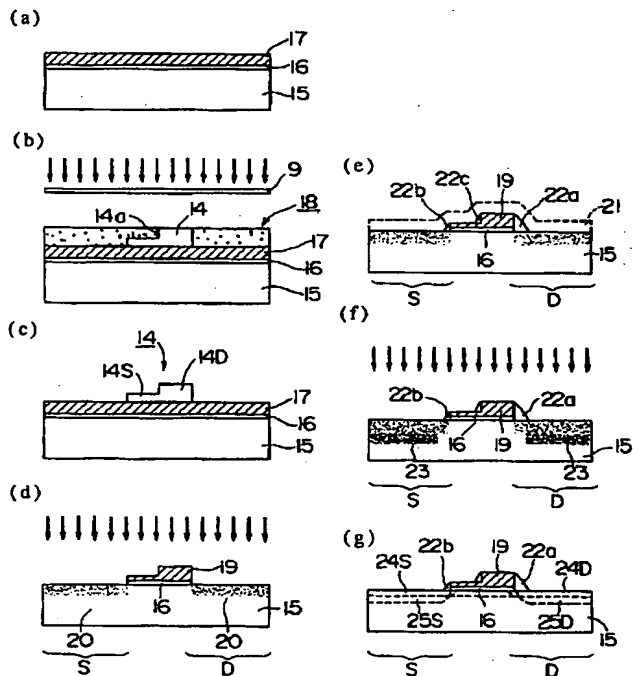
(71) 出願人 000128049  
日鉄セミコンダクター株式会社  
千葉県館山市山本1580番地  
(72) 発明者 滝 益志  
千葉県館山市山本1580番地 日鉄セミコン  
ダクター株式会社内  
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 半導体装置とその製造方法およびレジストパターンの形成方法ならびにそれに用いるレチクル

(57) 【要約】

【課題】 寄生容量の増加、耐圧低下等の素子特性の劣化を防止し得る半導体装置とその製造方法ならびにそれに用いるレチクルを提供する。

【解決手段】 ドレイン領域D側がべたパターン、ソース領域S側に複数の線状スリットが形成されたレチクル9を用いて露光を行い、ソース領域側が低くドレイン領域側が高い段差部を持つレジストパターン14を多結晶シリコン膜17上に形成する。そして、このレジストパターン14をマスクとして多結晶シリコン膜17のエッチングを行い、レジストパターン14と同様の段差部を持つゲート電極19を形成する。その後、低濃度不純物拡散層形成のためのイオン注入、ソース側とドレイン側で幅の異なるサイドウォール22a、22bの形成、高濃度不純物拡散層形成のためのイオン注入を行う。



## 【特許請求の範囲】

【請求項 1】 低濃度不純物拡散層と高濃度不純物拡散層を備えた LDD 構造のソース領域およびドレイン領域と、該ソース領域に隣接する側が低く該ドレイン領域に隣接する側が高い段差部を有するゲート電極と、該ゲート電極の側壁に設けられたサイドウォールを有し、前記ゲート電極側壁のソース領域に隣接する側のサイドウォールよりもドレイン領域に隣接する側のサイドウォールの方がその幅が大きく、前記ドレイン領域の高濃度不純物拡散層の端部が前記サイドウォールの下方に位置していることを特徴とする半導体装置。

【請求項 2】 ポジ型フォトリソ用レチクルであって、べたパターンの領域と複数の孔が形成された領域を有し、これら複数の孔の各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルパターンの倍率とを乗じた値よりも小さいことを特徴とするレチクル。

【請求項 3】 請求項 2 に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであって、形成されるパターンのうちドレイン領域に隣接する部分が前記べたパターンの領域であり、ソース領域に隣接する部分が前記複数の孔が形成された領域であることを特徴とするレチクル。

【請求項 4】 ネガ型フォトリソ用レチクルであって、白抜きパターンの領域と複数の小パターンが形成された領域を有し、これら複数の小パターンの各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルパターンの倍率とを乗じた値よりも小さいことを特徴とするレチクル。

【請求項 5】 請求項 4 に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであって、形成されるパターンのうちドレイン領域に隣接する部分が前記白抜きパターンの領域であり、ソース領域に隣接する部分が前記複数の小パターンが形成された領域であることを特徴とするレチクル。

【請求項 6】 請求項 2 に記載のレチクルを用いたポジ型フォトリソのパターンの形成方法であって、前記レチクルを用いて露光を行うことにより、前記べたパターンの領域ではレジスト残膜を全て残すとともに、前記複数の孔が形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を持つ集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストパターンを形成することを特徴とするレジストパターンの形成方法。

【請求項 7】 請求項 4 に記載のレチクルを用いたネガ型フォトリソのパターンの形成方法であって、前記レチクルを用いて露光を行うことにより、前記白抜きパターンの領域ではレジスト残膜を全て残すととも

に、前記複数の小パターンが形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を持つ集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストパターンを形成することを特徴とするレジストパターンの形成方法。

【請求項 8】 請求項 3 または 5 に記載のレチクルを用いた半導体装置の製造方法であって、半導体基板上にゲート絶縁膜を介してゲート電極材、フォトリソ膜を順次形成する工程と、

前記レチクルを用いて露光を行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いレジストパターンを形成する工程と、

該レジストパターンをマスクとして前記ゲート電極材のエッチングを行うことにより、該レジストパターンと同様のソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成する工程と、該ゲート電極をマスクとしてソース領域およびドレイン領域の低濃度不純物拡散層を形成するためのイオン注入を行う工程と、

前記ゲート電極の側壁にサイドウォールを形成する工程と、

前記ゲート電極およびサイドウォールをマスクとしてソース領域およびドレイン領域の高濃度不純物拡散層を形成するためのイオン注入を行う工程、を有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、

前記レジストパターンを用いて前記ゲート電極を形成する手段として、

前記フォトリソ膜に対する前記ゲート電極材の選択比が該フォトリソ膜の膜厚と前記ゲート電極材の膜厚の比率に等しい条件で異方性エッチングを行うことにより、前記レジストパターンに覆われていない領域の前記ゲート電極材の一部をエッチングすると同時に、前記ソース領域に隣接する側のレジストパターンを除去し、その後、前記ドレイン領域に隣接する側のレジストパターンのみを残し、前記選択比が大きい条件で異方性エッチングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 に記載の半導体装置の製造方法において、

前記レジストパターンを用いて前記ゲート電極を形成する手段として、

前記フォトリソ膜に対する前記ゲート電極材の選択比が大きい条件で異方性エッチングを行うことにより、前記レジストパターンを残したままレジストパターンに覆われていない部分の前記ゲート電極材をエッチングし、次に、前記レジストパターンのエッチバックを行う

ことにより、前記ソース領域に隣接する側のレジストパターンを除去し、その後、前記ドレイン領域に隣接する側のレジストパターンを残した状態で再度、前記選択比が大きい条件で異方性エッチングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法およびレジストパターンの形成方法ならびにそれに用いるレチクルに関し、特に、LDD (Lightly Doped Drain) 構造を有する電界効果型トランジスタにおけるゲート電極の形成方法、ならびに不純物拡散層の形成方法に関するものである。

【0002】

【従来の技術】LDD構造は、電界効果型トランジスタのゲート両端の不純物濃度を部分的に低下させ、この部分での電界を緩和することにより、トランジスタ特性に悪影響を及ぼすホットキャリアの発生を防止しようとするものである。LDD構造を有する半導体装置は、例えば特開平7-297393号公報等に開示されている。図7は従来一般のLDD構造を有する半導体装置を示す図であり、以下、その製造方法について説明する。

【0003】まず、素子分離領域を形成するために、シリコン基板1表面を酸化させてパッド酸化膜を形成した後、その上に耐酸化性絶縁膜、一般的には窒化シリコン膜を形成する。次に、公知のフォトリソグラフィ技術を用いて、素子分離領域が開口し、素子能動領域を選択的に被覆するレジストパターンを形成した後、このレジストパターンをマスクとしたケミカルドライエッチング、またはリアクティブイオンエッチングにより窒化シリコン膜をエッチングする。そして、酸素アッシングまたは硫酸と過酸化水素水との混合薬液を用いてレジストパターンを除去する。次に、前工程で形成した窒化シリコン膜のパターンをマスクとして選択酸化を行うことにより、窒化シリコン膜で被覆されていない領域、すなわち素子分離領域に厚いフィールド酸化膜2を選択的に形成する。その後、素子能動領域上に残った窒化シリコン膜、パッド酸化膜を順次除去することにより素子分離構造が完成する。

【0004】次に、素子能動領域上にドライ酸化法を用いてシリコン酸化膜からなるゲート絶縁膜3を形成した後、ゲート電極材である多結晶シリコン膜を成膜する。ついで、フォトリソグラフィ技術により多結晶シリコン膜上にレジストパターンを形成した後、このレジストパターンをマスクとした異方性ドライエッチングにより多結晶シリコン膜をエッチングし、ゲート電極4とする。そして、酸素アッシングまたは硫酸と過酸化水素水との混合薬液を用いてレジストパターンを除去する。次

に、低濃度不純物拡散層を形成するためのイオン注入を行う。そして、全面に絶縁膜を形成した後、公知のエッチバック法を用いて絶縁膜のエッチングを行うことによりゲート電極4の側壁にサイドウォール5、5を形成し、ついで、高濃度不純物拡散層を形成するためのイオン注入を行う。その後、熱処理を行うことによって注入した不純物の活性化を行い、低濃度不純物拡散層6S、6Dおよび高濃度不純物拡散層7S、7Dをそれぞれ形成する。以降は、層間絶縁膜の形成、コンタクトホール

【0005】

【発明が解決しようとする課題】しかしながら、従来のLDD構造を有するMOSトランジスタでは、シリコン基板1内に注入した不純物が製造工程中の熱処理によって拡散し、図8に示すように、ドレイン領域の高濃度不純物拡散層7Dの端部がゲート電極4の直下にまで延びた状態となる。このような構造では、ゲート電極4直下の高濃度不純物拡散層7Dによる寄生容量が増加し、ドレインコンダクタンスが増加することになる。さらに、ソースドレイン間の高濃度不純物拡散層7S、7D間の間隔が狭まるため、ショートチャネル効果による耐圧低下等の素子特性劣化を招くことになる。

【0006】本発明は、上記の課題を解決するためになされたものであって、寄生容量やドレインコンダクタンスの増加、ショートチャネル効果による耐圧低下等の素子特性の劣化を防止し得る半導体装置とその製造方法、ならびにその製造プロセスにおけるレジストパターンの形成方法およびそれに用いるレチクルを提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明の請求項1に記載の半導体装置は、低濃度不純物拡散層と高濃度不純物拡散層を備えたLDD構造のソース領域およびドレイン領域と、該ソース領域に隣接する側が低く該ドレイン領域に隣接する側が高い段差部を有するゲート電極と、該ゲート電極の側壁に設けられたサイドウォールを有し、前記ゲート電極側壁のソース領域に隣接する側のサイドウォールよりもドレイン領域に隣接する側のサイドウォールの方がその幅が大きく、前記ドレイン領域の高濃度不純物拡散層の端部が前記サイドウォールの下方に位置していることを特徴とするものである。

【0008】また、本発明の請求項2に記載のレチクルは、ポジ型フォトリソレジスト用レチクルであって、べたパターンの領域と複数の孔が形成された領域を有し、これら複数の孔の各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルパターンの倍率とを乗じた値よりも小さいことを特徴とするものである。

【0009】また、請求項3に記載のレチクルは、請求

項2に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであって、形成されるパターンのうちドレイン領域に隣接する部分が前記べたパターンの領域であり、ソース領域に隣接する部分が前記複数の孔が形成された領域であることを特徴とする半導体装置のゲート電極形成用レチクルである。

【0010】また、請求項4に記載のレチクルは、ネガ型フォトリソ用レチクルであって、白抜きパターンの領域と複数の小パターンが形成された領域を有し、これら複数の小パターンの各々の幅が、使用露光装置の限界解像幅と実寸法に対する当該レチクルパターンの倍率とを乗じた値よりも小さいことを特徴とするものである。

【0011】また、請求項5に記載のレチクルは、請求項4に記載のレチクルにおいて、半導体装置のゲート電極形成用レチクルであって、形成されるパターンのうちドレイン領域に隣接する部分が前記白抜きパターンの領域であり、ソース領域に隣接する部分が前記複数の小パターンが形成された領域であることを特徴とするものである。

【0012】また、本発明の請求項6に記載のレジストパターンの形成方法は、請求項2に記載のレチクルを用いたポジ型フォトリソのパターンの形成方法であって、前記レチクルを用いて露光を行うことにより、前記べたパターンの領域ではレジスト残膜を全て残すとともに、前記複数の孔が形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を持つ集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストパターンを形成することを特徴とするものである。

【0013】また、請求項7に記載のレジストパターンの形成方法は、請求項4に記載のレチクルを用いたネガ型フォトリソのパターンの形成方法であって、前記レチクルを用いて露光を行うことにより、前記白抜きパターンの領域ではレジスト残膜を全て残すとともに、前記複数の小パターンが形成された領域では前記限界解像幅以下に近接した複数の露光光からなる必要最低露光量未満の光強度を持つ集合光の作用によりレジスト残膜を一部のみ残すことによって、場所により高さの異なるレジストパターンを形成することを特徴とするものである。

【0014】また、本発明の請求項8に記載の半導体装置の製造方法は、請求項3または5に記載のレチクルを用いた半導体装置の製造方法であり、半導体基板上にゲート絶縁膜を介してゲート電極材、フォトリソ膜を順次形成する工程と、前記レチクルを用いて露光を行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いレジストパターンを形成する工程と、該レジストパターンをマスクとして前記ゲート電極材のエッチングを行うことにより、該レジストパターン

と同様のソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成する工程と、該ゲート電極をマスクとしてソース領域およびドレイン領域の低濃度不純物拡散層を形成するためのイオン注入を行う工程と、前記ゲート電極の側壁にサイドウォールを形成する工程と、前記ゲート電極およびサイドウォールをマスクとしてソース領域およびドレイン領域の高濃度不純物拡散層を形成するためのイオン注入を行う工程、を有することを特徴とするものである。

【0015】また、請求項9に記載の半導体装置の製造方法は、請求項8に記載の半導体装置の製造方法において、前記レジストパターンを用いて前記ゲート電極を形成する手段として、前記フォトリソ膜に対する前記ゲート電極材の選択比が該フォトリソ膜の膜厚と前記ゲート電極材の膜厚の比率に等しい条件で異方性エッチングを行うことにより、前記レジストパターンに覆われていない領域の前記ゲート電極材の一部をエッチングすると同時に、前記ソース領域に隣接する側のレジストパターンを除去し、その後、前記ドレイン領域に隣接する側のレジストパターンのみを残し、前記選択比が大きい条件で異方性エッチングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とするものである。

【0016】また、請求項10に記載の半導体装置の製造方法は、請求項8に記載の半導体装置の製造方法において、前記レジストパターンを用いて前記ゲート電極を形成する手段として、前記フォトリソ膜に対する前記ゲート電極材の選択比が大きい条件で異方性エッチングを行うことにより、前記レジストパターンを残したままレジストパターンに覆われていない部分の前記ゲート電極材をエッチングし、次に、前記レジストパターンのエッチバックを行うことにより、前記ソース領域に隣接する側のレジストパターンを除去し、その後、前記ドレイン領域に隣接する側のレジストパターンを残した状態で再度、前記選択比が大きい条件で異方性エッチングを行うことにより、ソース領域に隣接する側が低くドレイン領域に隣接する側が高いゲート電極を形成することを特徴とするものである。

【0017】本発明は、特に、半導体装置製造プロセスのゲート電極形成工程に本発明特有のレジストパターン形成方法を適用することによって上記の課題を解決しようとするものである。すなわち、ポジ型フォトリソプロセスの場合、ドレイン領域に隣接する部分がべたパターン、ソース領域に隣接する部分に複数の孔が形成されたレチクルを用いて露光を行うと、べたパターンの領域ではレジスト残膜が全て残るが、複数の孔が形成された領域では透過する各露光光が限界解像幅以下に近接しているため、露光光を全体として見ると、複数の露光光の集合光が必要最低露光量未満の低い光強度を持つ状態となり、その結果、この部分ではべたパターンの部分よ

りレジスト残膜が薄くなる。したがって、完成したレジストパターンは、ドレイン領域に隣接する側が高くソース領域に隣接する側が低くなる。ネガ型フォトリソプロセスの場合には、ドレイン領域に隣接する部分が白抜きパターン、ソース領域に隣接する部分に複数の小パターンが形成されたレチクルを用いれば、上記と同様の現象が生じることになる。

【0018】その後、請求項9または10に記載した方法を用いてソース領域に隣接する側のレジストパターンが先に除去されるようなエッチングを行うことで、ドレイン領域側が高くソース領域側が低いレジストパターンを基に、同様の形状を有するゲート電極を形成することができる。そして、このゲート電極の側壁にサイドウォールを形成すると、ドレイン領域に隣接する側とソース領域に隣接する側で側壁の高さが異なるため、サイドウォールの幅もドレイン領域側とソース領域側で必ず異なるようになる。すなわち、ソース領域側のサイドウォールの方が大きくなるため、これをマスクとしたイオン注入で形成する高濃度不純物拡散層の端部の位置は、ソース領域側ではゲート電極直下にまで達しても、ドレイン領域側ではサイドウォール直下までに留めることができる。

【0019】

【発明の実施の形態】以下、本発明の一実施の形態を図1～図6を参照して説明する。本実施の形態の半導体装置の製造方法は、露光部が現像液に可溶、未露光部が不溶となるポジ型フォトリソを用いた例であり、したがって、これに用いるレチクルもポジ用レチクルの例である。図1は本実施の形態のレチクル9を示す図であって、(a)は平面図、(b)は断面図である。

【0020】図1(a)、(b)に示すように、ガラス部10の表面にゲート長に相当する幅を有するクロム膜からなるゲート電極パターン11が形成されている。そして、パターン11のうち、ソース領域に隣接する部分にはガラス面が露出した複数の線状スリット(孔)12、12、…が形成されており、ドレイン領域に隣接する部分およびその他の領域はべたパターン13となっている。また、各線状スリット12の幅は、使用露光装置の限界解像幅(露光装置が隣接する2つのパターンを解像し得る限界のパターン間隔)と実寸法に対するレチクルパターンの倍率とを乗じた値よりも小さい値となっている。具体的には、例えば使用露光装置の限界解像幅が $0.4\mu\text{m}$ 、実寸法に対するレチクルパターンの倍率が5倍のレチクル(5:1縮小投影露光装置用レチクル)の場合、各線状スリット12の幅を $2.0\mu\text{m}$ 以下、実寸法に対するレチクルパターンの倍率が10倍のレチクル(10:1縮小投影露光装置用レチクル)の場合、各線状スリット12の幅を $4.0\mu\text{m}$ 以下とする。そして、各線状スリット12の間隔は各線状スリット12の幅よりも大きくなっている。

【0021】次に、上記構成のレチクル9を用いたレジストパターンの形成方法について説明する。図2(a)は本レチクル9を用いた際の露光状態を示す図であって、横軸はレチクル表面の位置、縦軸は露光光の強度(Intensity:単位%)を示す。この図に示すように、ゲート電極パターン以外の領域はクロム膜が存在しないため、当然ながら光強度100%である。ドレイン領域に隣接する部分はクロムのべたパターンであり、光が完全に遮断されるため、光強度は0%である。一方、ソース領域に隣接する部分には複数の線状スリットが形成されており、しかも、各線状スリット12の間隔が各線状スリット12の幅よりも大きいため、限界解像幅以下の幅を持つスリットを透過した複数の露光光Lを全体として見ると、複数の露光光Lの集合光により平滑化された50%以下の光強度分布を持つ状態となる。

【0022】したがって、このような状態で露光を行い、現像を行った後のレジストパターンの形状は、図2(b)に示すように、ドレイン領域に隣接する側14Dは光強度が0%のため、レジスト残膜は100%となり、ソース領域に隣接する側14Sは光強度が50%以下のため、レジスト残膜がドレイン領域に隣接する側14Dより薄くなる。例えば、FH-6100g線波長対応レジスト(富士ハント社製、商品名)を用いた場合、レジスト膜厚 $=1.2\mu\text{m}$ で塗布形成を行い、 $E_{th}=90\text{mJ}$ (透過率100%条件に相当)の露光エネルギーで露光を行うと、ソース領域に隣接する側14Sの現像後のレジスト残膜は約 $0.6\mu\text{m}$ 程度となる。このようにして、完成したレジストパターン14は、ドレイン領域に隣接する側14Dが高くソース領域に隣接する側14Sが低くなるような段差部14aを有することになる。

【0023】なお、線状スリット領域における露光光の強度が50%以下でなければならない理由は以下の通りである。基本的には、上記の光強度100%とする際の露光量とは、フォトリソ膜が露光、現像によって溶解される必要最低露光量 $E_{th}$ (Exposure Threshold)に相当する。ところが、実際の露光時に用いられる露光量、もしくは $E_{opt}$ (Exposure Optimum = Focus Latitude (一般的には、Depth of Focus))を最も広く得ることができる露光量は、全面透過領域(ガラス領域)での100%透過率に相当する前記 $E_{th}$ の $1.25\sim 1.75$ 倍程度に設定されるのが一般的である。したがって、実際の露光の際に全面透過領域(ガラス領域)が $E_{th}$ の $125\sim 175\%$ で露光され、仮に線状スリットを設けた領域が全面透過領域の50%の透過率だとすれば、線状スリット領域は $E_{th}$ の $62.5\sim 87.5\%$ で露光されることになる。ここで、線状スリット領域でのレジスト残膜を100%未満とするためには、線状スリット領域での露光量が $E_{th}$ の100%以下でなければならない。したがって、線状スリット領域での透過率、すなわ

ち光強度は50%以下である必要がある。

【0024】以下、上記のレチクル9およびレジストパターン14の形成方法を採用した本実施の形態の半導体装置の製造方法について説明する。図3は、本製造方法を工程順を追って示すプロセスフロー図である。

【0025】まず、図3(a)に示すように、シリコン基板15(半導体基板)上に、温度950℃、 $N_2/O_2$ 雰囲気での塩酸酸化法を用いて膜厚150Å程度のシリコン酸化膜からなるゲート絶縁膜16を形成する。なお、ゲート絶縁膜16の形成には、塩酸酸化法の外、パイロジェニック法、ドライ酸化法等を用いてもよい。次に、膜厚2000Å程度の多結晶シリコン膜17(ゲート電極材)を低圧化学気相成長法を用いて形成する。ゲート電極材として用いる多結晶シリコン膜17は、 $SiH_4$ ガスを原料ガスとしてノンドーパ多結晶シリコン膜を被覆形成した後、リン拡散を施す方法により低抵抗化を図るか、あるいは原料ガスに $PH_3$ ガスを添加して化学気相成長を行い、ドーパド多結晶シリコン膜として成膜することで低抵抗化を図る。なお、多結晶シリコン膜の膜厚2000Åは、従来の製造方法における多結晶シリコン膜の膜厚よりも厚い値である。

【0026】次に、多結晶シリコン膜17上にゲート電極形成用のレジストパターン14を形成する。この際には、図3(b)に示すように、多結晶シリコン膜17上にポジ型フォトリソレジスト18を1.2μmの膜厚に塗布した後、上述したレチクル9とレジストパターン形成方法を用いて段差部14aを有するレジストパターン14を形成する。具体的には、例えば露光波長 $\lambda=436nm$ 、 $NA=0.55$ 、限界解像幅 $=0.65\mu m$ の5:1縮小投影露光装置を用いることを前提とし、ゲート長がウェハ上で1.0μm(レチクル上で5.0μm)の場合、レチクル9上のスリット幅は0.1μm(限界解像幅 $0.65\mu m \times 5倍=3.25\mu m$ より小さい)とし、ソース領域側から0.2μmピッチで3本の線状スリットを形成したレチクルを用いる。そして、135mjで露光を行い、ついで、現像を行うことにより、図3(c)に示すように、ソース領域側14Sの膜厚が0.6μm、ドレイン領域側14Dの膜厚が1.2μmの段差部14aを有するレジストパターン14を形成する。

【0027】次に、この段差部14aを有するレジストパターン14に基づいて段差部を有するゲート電極を形成する。その方法には2通りの方法があり、以下、図4および図5を用いて説明する。まず、第1の方法としては、図4(a)に示すように、多結晶シリコン膜17上に段差部14aを有するレジストパターン14を形成した後、フォトリソレジスト膜に対する多結晶シリコン膜の選択比がフォトリソレジスト膜の膜厚と多結晶シリコン膜の膜厚の比率にほぼ等しい条件、すなわち、フォトリソレジスト膜のエッチング速度6(膜厚1.2μm)に対して多結晶シリコン膜のエッチング速度1(膜厚2000Å)の

条件で異方性エッチングを行うと、図4(b)に示すように、レジストパターン14に覆われていない部分の多結晶シリコン膜17がエッチングされると同時に、レジストパターン14自身が急速にエッチングされて薄膜化していく。そして、図4(c)に示すように、多結晶シリコン膜17がその膜厚の1/2程度エッチングされた状態では、ソース領域側のレジストパターン14Sが完全に除去されて消滅する。その後、ドレイン領域側のレジストパターン14Dを残した状態で異方性エッチングを続行すると、ソース領域側の多結晶シリコン膜17Sが自己整合的にマスクとなってエッチングされるため、図4(d)に示すように、段差部19aを有するゲート電極19が形成される。

【0028】次に、第2の方法としては、図5(a)に示すように、多結晶シリコン膜17上に段差部14aを有するレジストパターン14を形成した後、例えばフォトリソレジストのエッチング速度1に対して多結晶シリコン膜のエッチング速度20というように、フォトリソレジストに対する多結晶シリコン膜の選択比ができるだけ大きくなる条件で異方性エッチングを行うと、図5(b)に示すように、段差部14aを有するレジストパターン14がほとんどエッチングされることなく、レジストパターン14に覆われていない部分の多結晶シリコン膜17が完全にエッチングされる。次に、図5(c)に示すように、レジストパターン14のみをエッチバックして、レジストパターン14のうちソース領域側の低い部分14Sのみを除去する。そして、ドレイン領域側のレジストパターン14Dを残した状態で、再度、フォトリソレジストに対する多結晶シリコン膜の選択比が大きい条件で異方性エッチングを行うことにより、図5(d)に示すように、段差部19aを有するゲート電極19が形成される。

【0029】このように、上記のいずれかの方法を用いて段差部19aを有するゲート電極19を形成した後、図3(d)に示すように、LDD構造における低濃度不純物拡散層形成を目的としたイオン注入を行い、シリコン基板15表面のソース、ドレイン領域S、Dに低濃度不純物注入層20、20を形成する。次に、図3(e)に示すように、後にサイドウォールとなる膜厚3000Åの酸化シリコン膜21を化学気相成長法により形成した後、その酸化シリコン膜21をエッチバック法を用いてエッチング処理することにより、ゲート電極19の側壁に酸化シリコン膜からなるサイドウォール22a、22b、22cを形成する。この際、サイドウォールは、ドレイン領域Dに隣接する側22a、ソース領域Sに隣接する側22b、段差部22cの3箇所形成される。

【0030】その後、図3(f)に示すように、LDD構造における高濃度不純物拡散層形成を目的としたイオン注入を行い、シリコン基板15表面のソース、ドレイン領域S、Dに高濃度不純物注入層23、23を形成す

る。そして、950℃、N<sub>2</sub>/O<sub>2</sub> 雰囲気下での熱処理を行い、注入したイオンの拡散および活性化を図ることによって、図3(g)に示すように、ソース領域S、ドレイン領域Dそれぞれに低濃度不純物拡散層24S、24D、高濃度不純物拡散層25S、25Dを形成する。以上の工程でLDD構造を有するMOSトランジスタが完成する。

【0031】以降の工程は図示を省略するが、従来一般の半導体装置製造プロセスと同様に、上記MOSトランジスタを覆う層間絶縁膜を形成し、コンタクト孔を開口する。この際、前工程でゲート電極上の段差部に形成されたサイドウォールは、コンタクト孔形成時のエッチングで除去されることになる。その後、A1等からなる配線を形成する。

【0032】本実施の形態の半導体装置の製造方法によれば、上述した2通りの方法のいずれかを用いてソース領域側の低い部分のレジストパターン14Sが先に除去されるようなエッチングを行うことで、段差部14aを有するレジストパターン14を基に、同様の段差部19aを有するゲート電極19を形成することができる。そして、このゲート電極19の側壁にサイドウォール22a、22bを形成すると、ドレイン領域Dに隣接する側とソース領域Sに隣接する側で側壁の高さが異なるため、サイドウォールの幅もドレイン領域側22aとソース領域側22bで自ずと異なるようになる。

【0033】図6は完成したMOSトランジスタの平面図であるが、この図に示すように、ドレイン領域D側のサイドウォール22aの幅の方がソース領域S側のサイドウォール22bの幅よりも大きく、しかも、本実施の形態では多結晶シリコン膜の膜厚(ドレイン側の膜厚)が従来の多結晶シリコン膜の膜厚よりも厚くなっている。そのため、高濃度不純物拡散層形成時のイオン注入や熱拡散の条件が従来法と同じであっても、高濃度不純物拡散層の端部の位置を、図3(g)に示すように、ソース領域側25Sではゲート電極19直下にまで達しても、ドレイン領域側25Dではサイドウォール22a直下までに留めることができる。

【0034】その結果、従来の方法を用いて製造した半導体装置と異なり、ドレイン領域Dの高濃度不純物拡散層25Dがゲート電極19直下にまで達しないため、寄生容量の増加やドレインコンダクタンスの増加を防止することができる。また、ソースドレイン間の高濃度不純物拡散層間の間隔が狭まらないため、ショートチャネル効果による耐圧低下等の素子特性劣化を抑制することができる。

【0035】また、本実施の形態のレジストパターン形成方法によれば、レチクル9の構成を工夫したことで1回のフォトリソグラフィ工程で段差部14aを有するレジストパターン14を形成することができるため、従来の製造方法に比べてフォトリソグラフィ工程の回数

を増やす必要がない。

【0036】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば本実施の形態では、露光光の光強度を調整するために線状スリットを設けるようにしたが、これは線状スリットに限らず、任意の形状を持つ複数の孔が連続的に形成されたものであってもよい。また、フォトリソグラフィ技術としてポジ型レジストプロセスの例で説明したが、これに限らず、本発明をネガ型レジストプロセスに適用することもできる。ネガ型レジストプロセスの場合、ポジ型レジストプロセスに対してレチクルのパターンが白黒反転するため、上記実施の形態の図1におけるクロム膜が存在する部分をガラス面が露出する部分とし、ゲート電極パターン以外の領域と線状スリットの部分をクロム膜が存在する部分とすればよい。したがって、本発明をネガ型レジストプロセスに適用する場合、特許請求の範囲における「白抜きパターンの領域」が本実施の形態の「べたパターンの領域」に相当し、「複数の小パターンが形成された領域」が「複数の線状スリット(孔)が形成された領域」に相当する。また、上記孔と同様、小パターンの形状も任意としてよい。

【0037】また、上記実施の形態では、各線状スリットの幅や間隔を均一にすることでレジストパターンに段差部を設けるようにしたが、例えば線状スリットの幅や間隔をドレイン領域側からソース領域側に向けて徐々に変えるようにすると、光強度分布を全体的に勾配を持つように調整することもできる。このようにすると、本実施の形態のように段差部を有するレジストパターンではなく、上面が傾斜したレジストパターンを形成することができ、この構成によっても本発明の目的を達成することができる。また、上記実施の形態で用いた線状スリットの幅、レジスト残膜や多結晶シリコン膜の膜厚等、種々の具体的な数値に関してはほんの一例にすぎず、適宜変更が可能なのは勿論である。

【0038】

【発明の効果】以上、詳細に説明したように、本発明によれば、従来の方法に比べてフォトリソグラフィ工程の回数を増やすことなく、場所により高さの異なるレジストパターンの形成が可能となり、このレジストパターンを用いてエッチングを行うことにより場所により高さの異なるゲート電極を形成し、ゲート電極側壁のサイドウォールをソース側、ドレイン側で異なる幅とすることができる。これにより、ドレイン側の高濃度不純物拡散層がゲート電極の直下に位置しないようにできるため、寄生容量の増加やドレインコンダクタンスの増加、ショートチャネル効果による耐圧低下、といった素子特性劣化を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態であるレチクルを示

す、(a) 平面図、(b) (a) の A-A 線に沿う断面図、である。

【図 2】 同、レチクルを用いた際の、(a) 露光光の光強度分布図、(b) 現像後のレジストパターン

【図 3】 同、レチクルを用いた半導体装置の製造方法を工程順を追って示すプロセスフロー図である。

【図 4】 同、製造方法におけるゲート電極形成の第 1 の方法を示すプロセスフロー図である。

【図 5】 同、製造方法におけるゲート電極形成の第 2 の方法を示すプロセスフロー図である。

【図 6】 同、製造方法により形成されたゲート電極を示す平面図である。

【図 7】 LDD 構造を有する半導体装置の従来の製造方法を示すプロセスフロー図である。

【図 8】 LDD 構造を有する従来の半導体装置の問題点を示す図である。

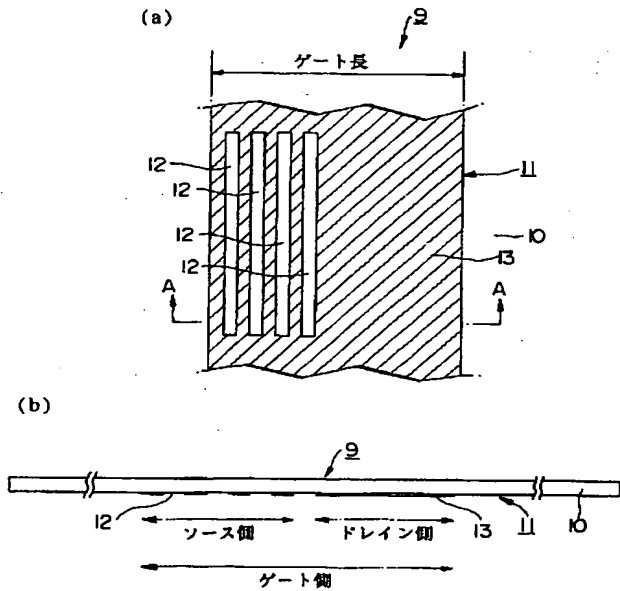
【符号の説明】

- 9 レチクル
- 10 ガラス部

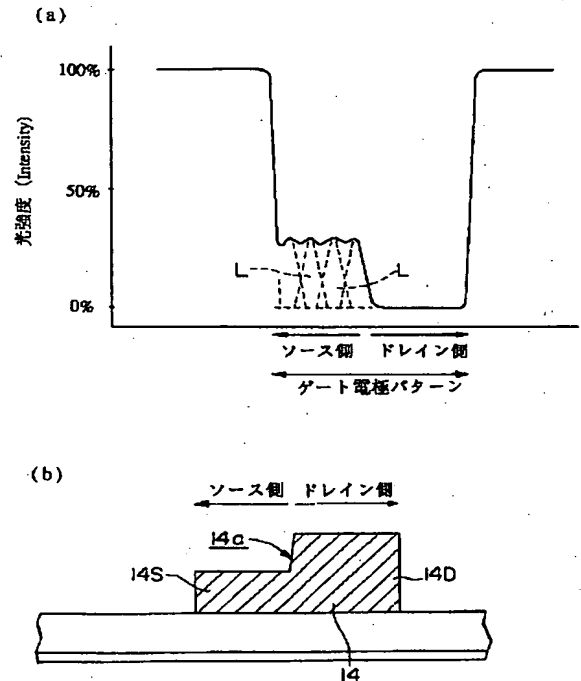
- 11 ゲート電極パターン
- 12 線状スリット (孔)
- 13 ベタパターン
- 14, 14 S, 14 D レジストパターン
- 14 a, 19 a 段差部
- 15 シリコン基板 (半導体基板)
- 16 ゲート絶縁膜
- 17 多結晶シリコン膜 (ゲート電極材)
- 18 ポジ型フォトリソ
- 19 ゲート電極
- 20 低濃度不純物注入層
- 21 酸化シリコン膜
- 22 a, 22 b, 22 c サイドウォール
- 23 高濃度不純物注入層
- 24 S, 24 D 低濃度不純物拡散層
- 25 S, 25 D 高濃度不純物拡散層
- L 露光光
- S ソース領域
- D ドレイン領域

20

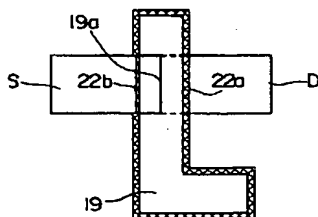
【図 1】



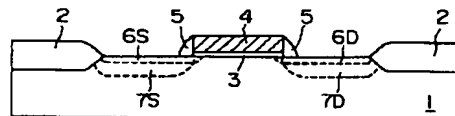
【図 2】



【図 6】

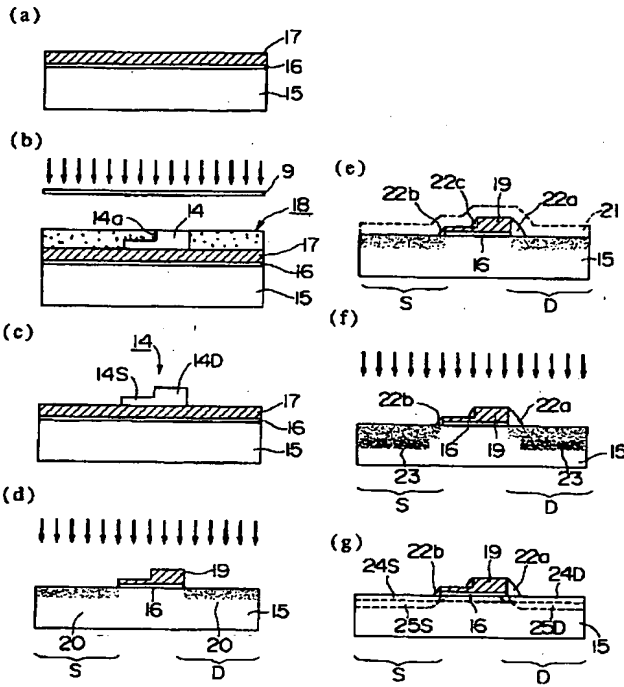


【図 7】

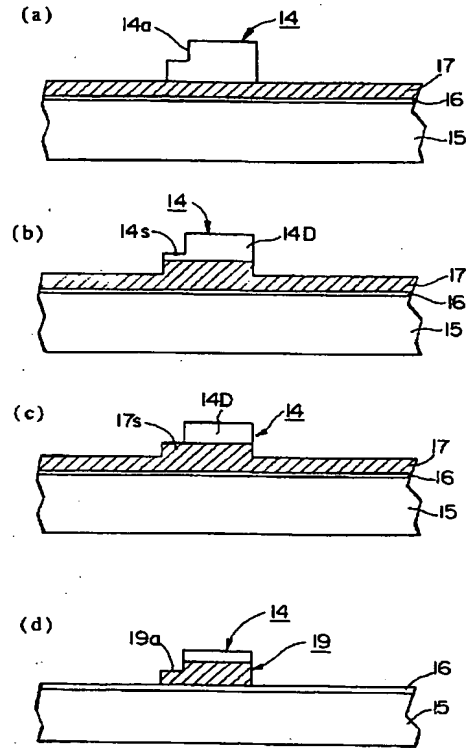




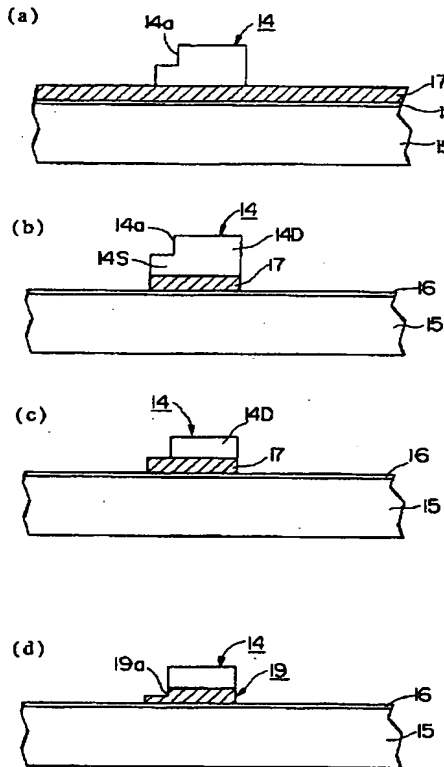
【 図 3 】



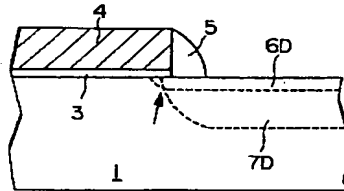
【 図 4 】



【 図 5 】



【 図 8 】



- (19) Japan Patent Office (JP)  
(12) Publication of Laid-Open Patent Application (A)  
(11) Publication Number of Patent Application:

Japanese Patent Laid-Open No. H10-32327

- (43) Date of Publication: February 3, 1998

(51) Int. Cl. <sup>6</sup>	Identification Mark	FI		
H01L 29/78		H01L 29/78	301	L
21/336		G03F 1/08		Z
G03F 1/08		H01L 21/30	502	P
H01L 21/027		21/302		H
21/3065				

Request for Examination: Not requested

Number of Claims: 10 OL

(Total 9 pages)

- 
- (21) Application Number: Japanese Patent Application No. H8-183687

- (22) Date of Filing: July 12, 1996

- (71) Applicant: 000128049

Nippon Steel Semiconductor Co.  
1580, Yamamoto, Tateyama-shi, Chiba

- (72) Inventor: Masuyuki Taki

Nippon Steel Semiconductor Co.  
1580, Yamamoto, Tateyama-shi, Chiba

- (74) Representative: Patent Attorney Masatake Shiga (and two other)

- 
- (54) [Title of the Invention]

Semiconductor Device, Manufacturing Method thereof, Formation  
Method of Resist Pattern, and Reticle Used for the Formation

- (57) [Abstract]

[Object] To provide a semiconductor device, which can prevent degradation in a characteristic of an element such as an increase of a parasitic capacitance and degradation of withstand pressure, a manufacturing method of the same, and a reticle used for the formation.

[Means for Solution] Light exposure is performed using a reticle 9 having a solid pattern on the side of a drain region D and a plurality of linear slits on the side of a source region S so as to form a resist pattern 14 which has a step portion with a low source region side and a high drain region side over a polycrystalline silicon film 17. And the polycrystalline silicon film 17 is etched using the resist pattern 14 as a mask to form a gate electrode 19 having the same step portion as the resist pattern 14. After that, ion implantation for forming a low concentration impurity diffusion layer, formation of sidewalls 22a and 22b with different widths on the source and drain sides, and ion implantation for forming a high concentration impurity diffusion layer are conducted.

[Scope of Claims]

[Claim 1]

A semiconductor device characterized by comprising: source and drain regions of an LDD structure including a low concentration impurity diffusion layer and a high concentration impurity diffusion layer; a gate electrode including a step portion in which a side adjacent to the source region is low and a side adjacent to the drain region is high; and sidewalls provided on a side wall of the gate electrode, wherein a width of a sidewall on the side adjacent to the drain region is larger than that of a sidewall on the side adjacent to the source region of the gate electrode side wall, and an end portion of the high concentration impurity diffusion layer in the drain region is positioned below the sidewall.

[Claim 2]

A reticle for a positive type photoresist, the reticle characterized by comprising a solid pattern region and a region in which a plurality of openings is formed, wherein each width of the plurality of openings is smaller than a value obtained by multiplying a width of the resolution limit of a photolithography device to be used and a magnification of the reticle pattern in relation to an actual size.

[Claim 3]

The reticle described in Claim 2, characterized in that the reticle is for forming a gate electrode of a semiconductor device, wherein a portion adjacent to the drain region is the solid pattern region, and a portion adjacent to the source region is the region in which the plurality of openings is formed in the pattern to be formed.

[Claim 4]

A reticle for a negative type photoresist, the reticle characterized by

comprising a hollow pattern region and a region in which a plurality of small patterns is formed, wherein each width of the plurality of small patterns is smaller than a value obtained by multiplying a width of the resolution limit of a photolithography device to be used and a magnification of the reticle pattern in relation to an actual size.

[Claim 5]

The reticle described in Claim 4, characterized in that the reticle is for forming a gate electrode of a semiconductor device, wherein a portion adjacent to the drain region is the hollow pattern region and a portion adjacent to the source region is the region in which the plurality of small patterns is formed in the pattern to be formed.

[Claim 6]

A formation method of a positive type photoresist pattern using the reticle described in Claim 2, the formation method of the resist pattern characterized in that the resist pattern which has different heights depending on locations is formed by conducting light exposure using the reticle so as to make the whole remained resist film be left in the solid pattern region, and by making partially the remained resist film be left due to an operation of condensed light having the light intensity less than an amount of minimal light exposure including a plurality of exposure light which is adjacent by the width of the resolution limit or less in the region in which a plurality of openings is formed.

[Claim 7]

A formation method of a negative type photoresist pattern using the reticle described in Claim 4, the formation method of the resist pattern characterized in that the resist pattern which has different heights depending on locations is formed by conducting light exposure using the reticle so as to make the whole remained resist film be left in the hollow pattern region and by making partially the remained resist film be left due to an operation of condensed light having the light intensity less than an amount of minimal light exposure including a plurality of exposure light which is adjacent by the width of the resolution limit in the region in which a plurality of small patterns is formed.

[Claim 8]

A manufacturing method of a semiconductor device using the reticle described in Claim 3 or 5 characterized by comprising the steps of:

forming a gate electrode material and a photoresist film in order over a semiconductor substrate with a gate insulating film interposed therebetween;

forming a resist pattern in which a side adjacent to the source region is low and a side adjacent to the drain region is high by conducting light exposure using the reticle;

forming a gate electrode in which a side adjacent to the source region is low and a side adjacent to the drain region is high as well as the resist pattern by etching the gate electrode material using the resist pattern as a mask;

conducting ion implantation for forming a low concentration impurity diffusion layer in the source and drain regions using the gate electrode as a mask;

forming a sidewall on a side wall of the gate electrode; and

conducting ion implantation for forming a high concentration impurity diffusion layer in the source and drain regions using the gate electrode and the sidewall as a mask.

[Claim 9]

The manufacturing method of the semiconductor device described in Claim 8, characterized by comprising the steps of:

as a means for forming the gate electrode using the resist pattern, conducting anisotropic etching in a condition that a selected ratio of the gate electrode material in relation to the photoresist film is the same as the ratio of the film thicknesses of the photoresist film and the gate electrode material so as to etch a portion of the gate electrode material of the region that is not covered with the resist pattern; simultaneously removing the resist pattern on the side adjacent to the source region; subsequently making only a resist pattern remained on the side adjacent to the drain region; and conducting anisotropic etching in a condition that the selected ratio is high to form a gate electrode in which the side adjacent to the source region is low and the side adjacent to the drain region is high.

[Claim 10]

The manufacturing method of the semiconductor device described in Claim 8, characterized by comprising the steps of:

as a means for forming the gate electrode using the resist pattern, conducting anisotropic etching in a condition that a selected ratio of the gate electrode material in relation to the photoresist film is high so as to etch a portion that is not covered with the resist pattern in the gate electrode material with the resist pattern remained; conducting etch back of the resist pattern so as to remove a resist pattern on the side adjacent to the source region; and subsequently conducting anisotropic etching again in a condition that the selected ratio is high

with the resist pattern remained on the side adjacent to the drain region to form a gate electrode in which the side adjacent to the source region is low and the side adjacent to the drain region is high.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention]

The present invention relates to a semiconductor device, its manufacturing method, a formation method of a resist pattern, and a reticle used for the formation. In particular, the present invention relates to a formation method of a gate electrode and a formation method of an impurity diffusion layer in a field-effect transistor having an LDD (Lightly Doped Drain) structure.

[0002]

[Prior Art]

An LDD structure prevents a generation of a hot carrier having an adverse influence on a characteristic of a transistor by reducing partially an impurity concentration at opposite ends of a gate in a field-effect transistor so as to release an electric field at the portion. A semiconductor device having the LDD structure is disclosed in, for example, Japanese Patent Laid-Open No. H7-297393. FIG. 7 shows a semiconductor device having a conventional LDD structure generally, and the manufacturing method is explained below.

[0003]

First of all, a surface of a silicon substrate 1 is oxidized to form a pad oxide film is formed in order to form an element isolated region. After that, an oxidation-resistant insulating film, generally a silicon nitride film, is formed thereover. Next, the element isolated region is opened using a known photolithography technique, and a resist pattern to cover selectively an element active region is formed. Then, the silicon nitride film is etched by chemical dry etching or reactive ion etching with the resist pattern as a mask. Then, the resist pattern is removed using oxygen ashing or a mixed chemical of sulfuric acid and hydrogen peroxide. Next, by conducting a selective oxidization using the pattern of the silicon nitride film formed in the above process as a mask, a thick field oxide film 2 is selectively formed in a region which is not covered by the silicon nitride film, in other words, the element isolated region. After that, an element isolated structure is completed by removing the silicon nitride film and the pad oxide film remained over the element active region in order.

[0004]

Next, a gate insulating film 3 including a silicon oxide film is formed over the element active region by a dry oxidation method, and then a polycrystalline silicon film for a gate electrode material is formed. After that, a resist pattern is formed over the polycrystalline silicon film by a photolithography technique, and the polycrystalline silicon film is etched by anisotropic dry etching using the resist pattern as a mask to form a gate electrode 4. And, the resist pattern is removed using the oxygen ashing or the mixed chemical of sulfuric acid and hydrogen peroxide. Next, ion implantation is conducted to form a low concentration impurity diffusion layer, and an insulating film is formed over the whole surface. After that, sidewalls 5 and 5 on the side wall of the gate electrode 4 are formed by etching the insulating film with a known etch back method, and ion implantation is conducted to form a high concentration impurity diffusion layer. Then, activation of the implanted impurity is conducted by a heat treatment to form low concentration impurity diffusion layers 6S and 6D, and high concentration impurity diffusion layers 7S and 7D respectively. A MOS transistor including the LDD structure is completed after the processes such as formation of an interlayer insulating film, opening of a contact hole, formation of a wiring, and the like.

[0005]

[Problems to be Solved by the Invention]

However, in the MOS transistor including the conventional LDD structure, the implanted impurity in a silicon substrate 1 is diffused by a heat treatment in the manufacturing process. As a result, an end portion of the high concentration impurity diffusion layer 7D in the drain region comes just below the gate electrode 4 as shown in FIG. 8. In such a structure, a parasitic capacitance increases due to the high concentration impurity diffusion layer 7D just below the gate electrode 4, so that a drain conductance increases. Further, since an interval between high concentration impurity diffusion layers 7S and 7D between source and drain is shortened, degradation in a characteristic of an element such as degradation of withstand pressure is caused due to a short channel effect.

[0006]

The present invention has been made in order to solve the above-described problem, and it is an object of the present invention to provide a semiconductor device which can prevent degradation in a characteristic of an element such as an increase of a parasitic capacitance and a drain conductor, and

degradation of withstand pressure due to a short channel effect, its manufacturing method, the formation method of a resist pattern in its manufacturing process, and a reticle used for the formation.

[0007]

[Means for Solving the Problem]

To achieve the above object, the semiconductor device described in Claim 1 of the present invention is characterized by comprising: source and drain regions of an LDD structure having a low concentration impurity diffusion layer and a high concentration impurity diffusion layer; a gate electrode including a step portion in which a side adjacent to the source region is low and a side adjacent to the drain region is high; and a sidewall provided on the side wall of the gate electrode, wherein a width of a sidewall on the side adjacent to the drain region is larger than that of a sidewall on the side adjacent to the source region of the gate electrode side wall, and an end portion of the high concentration impurity diffusion layer in the drain region is positioned below the sidewall.

[0008]

In addition, the reticle described in Claim 2 of the present invention is a reticle for a positive type photoresist characterized by comprising a solid pattern region and a region in which a plurality of openings is formed, wherein each width of the plurality of openings is smaller than a value obtained by multiplying a width of the resolution limit of a photolithography device to be used and a magnification of the reticle pattern in relation to an actual size.

[0009]

According to Claim 3, the reticle described in Claim 2 is characterized in that the reticle is for forming a gate electrode of a semiconductor device, wherein a portion adjacent to the drain region is the solid pattern region, and a portion adjacent to the source region is the region in which the plurality of openings is formed in the pattern to be formed.

[0010]

According to Claim 4, the reticle for a negative type photoresist is characterized by comprising a hollow pattern region and a region in which a plurality of small patterns is formed, wherein each width of the plurality of small patterns is smaller than a value obtained by multiplying a width of the resolution limit of a photolithography device to be used and a magnification of the reticle pattern in relation to an actual size.

[0011]



Further, according to Claim 5, the reticle described in Claim 4 is characterized in that the reticle is for forming the gate electrode of the semiconductor device, wherein a portion adjacent to the drain region is the hollow pattern region and the portion adjacent to the source region is the region in which the plurality of small patterns is formed in the pattern to be formed.

[0012]

According to Claim 6 of the present invention, the formation method of a positive type photoresist pattern using the reticle described in Claim 2 is characterized in that the resist pattern which has different heights depending on the locations is formed by conducting light exposure using the reticle so as to make the whole remained resist film be left in the solid pattern region, and by making partially the remained resist film be left due to an operation of condensed light having the light intensity less than an amount of minimal light exposure including a plurality of exposure light which is adjacent by the width of the resolution-limit or less in the region in which a plurality of openings is formed.

[0013]

According to Claim 7, the formation method of a negative type photoresist pattern using the reticle described in Claim 4 is characterized in that the resist pattern which has different heights depending on the locations is formed by conducting light exposure using the reticle so as to make the whole remained resist film be left in the hollow pattern region and by making partially the remained resist film be left due to an operation of condensed light having the light intensity less than an amount of minimal light exposure including a plurality of exposure light which is adjacent by the width of the resolution limit in the region in which a plurality of small patterns is formed.

[0014]

According to Claim 8, the manufacturing method of a semiconductor device using the reticle described in Claim 3 or 5 is characterized by comprising the steps of: forming a gate electrode material and a photoresist film in order over a semiconductor substrate with a gate insulating film interposed therebetween; forming a resist pattern in which a side adjacent to the source region is low and a side adjacent to the drain region is high by conducting light exposure using the reticle; forming a gate electrode in which a side adjacent to the source region is low and a side adjacent region to the drain region is high as well as the resist pattern by etching the gate electrode material using the resist pattern as a mask; conducting ion implantation for forming a low concentration

impurity diffusion layer in the source and drain regions using the gate electrode as a mask; forming a sidewall on side wall of the gate electrode; and conducting ion implantation for forming a high concentration impurity diffusion layer in the source and drain regions using the gate electrode and the sidewall as a mask.

[0015]

According to Claim 9, the manufacturing method of the semiconductor device described in Claim 8, as a means for forming a the gate electrode using the resist pattern, is characterized by comprising the steps of: conducting anisotropic etching in a condition that a selected ratio of the gate electrode material in relation to the photoresist film is the same as the ratio of the film thicknesses of the photoresist film and the gate electrode material so as to etch a portion of the gate electrode material of the region that is not covered with the resist pattern; simultaneously removing the resist pattern on the side adjacent to the source region; subsequently making only a resist pattern be left on the side adjacent to the drain region; and conducting anisotropic etching in a condition that the selected ratio is high to form a gate electrode in which the side adjacent to the source region is low and the side adjacent to the drain region is high.

[0016]

According to Claim 10, the manufacturing method of the semiconductor device described in Claim 8, as a means for forming the gate electrode using the resist pattern, is characterized by comprising the steps of: conducting anisotropic etching in a condition that a selected ratio of the gate electrode material in relation to the photoresist film is high so as to etch a portion that is not covered with the resist pattern in the gate electrode material with the resist pattern remained; subsequently conducting etch back of the resist pattern so as to remove a resist pattern on the side adjacent to the source region; and conducting anisotropic etching again in a condition that the selected ratio is high with the resist pattern remained on the side adjacent to the drain region to form a gate electrode in which the side adjacent to the source region is low and the side adjacent to the drain region is high.

[0017]

The present invention has an object of solving the above problem by applying the formation method of a resist pattern according to the present invention to a step of forming a gate electrode of the semiconductor device manufacturing process specially. In other words, in the case of the positive type photoresist process, the whole remained resist film is left in the region of the

solid pattern when light exposure is conducted using a reticle having a solid pattern in a portion adjacent to the drain region, and a plurality of openings formed in a portion adjacent to the source region. However, a state where condensed light of a plurality of exposure light has the light intensity less than an amount of minimal light exposure, viewing the exposure light as a whole, is obtained since each transmitting exposure light is adjacent by the width of the resolution limit or less in the region in which a plurality of openings are formed. As a result, in this portion, the remained resist film is thinner than in the portion of the solid pattern. Therefore, the completed resist pattern has a state where the adjacent side to the drain region is high and the adjacent side to the source region is low. In the case of the negative type photoresist process, the same phenomenon as the above is produced when a reticle which has a hollow pattern in the adjacent portion to the drain region and a plurality of small patterns in the adjacent portion to the source region is used.

[0018]

After that, a gate electrode having the same shape is formed using the resist pattern in which the side of the drain region is high and the side of the source region is low by etching to remove the resist pattern on the adjacent side to the source region first using the method described in Claim 9 or 10. And, when a sidewall is formed on the side wall of the gate electrode, the width of the sidewalls on the side of the drain and source regions are naturally different since the height of the side wall on the adjacent side to the drain region is different from that of the side wall on the adjacent side to the source region. In other words, since the width of the sidewall on the drain region side is larger than that on the source region side, the position at the end portion of the high concentration impurity diffusion layer formed by ion implantation using this as a mask can come just below the gate electrode on the source region side, but be kept until just below the sidewall on the drain region side.

[0019]

[Embodiment Mode of the Invention]

Hereinafter, an embodiment mode of the present invention is explained with reference to FIGS.1 to 6. The manufacturing method of the semiconductor device in this embodiment mode is an example of using a positive type photoresist in which an exposed portion is soluble and a non-exposed portion is not soluble in a developer. Therefore, the reticle used for this is also an example of the positive reticle. FIG. 1 shows a reticle 9 in the present

embodiment mode. (a) is a plan view, and (b) is a cross-sectional view.

[0020]

As shown in FIGS. 1(a) and 1(b), a gate electrode pattern 11 including a chromium film having a width corresponding to a gate length is formed over the surface of a glass portion 10. And, in the pattern 11, a plurality of linear slits (opening) 12, 12... exposing a glass surface is formed in the adjacent portion to the source region, and a solid pattern 13 is formed in the adjacent region to the drain region and other regions. The width of each linear slit 12 is smaller than the value obtained by multiplying the width of the resolution limit of the photolithography device to be used (a pattern interval of the limit the photolithography device can resolve the two adjacent patterns) and a magnification of the reticle pattern in relation to an actual size. Specifically, for example, when the width of the resolution limit of the photolithography device to be used is  $0.4\ \mu\text{m}$  and the reticle whose magnification of the reticle pattern is 5 times bigger in relation to the actual size (reticle used for a 5:1 reduced projection photolithography device), the width of each linear slit 12 is  $2.0\ \mu\text{m}$  or less. In the case where the reticle whose magnification of the reticle pattern is 10 times bigger in relation to the actual size (reticle used for a 10:1 reduced projection photolithography device) the width of each linear slit 12 is  $4.0\ \mu\text{m}$  or less. Note that the interval of each linear slit 12 is larger than the width of each linear slit 12.

[0021]

Next, the formation method of the resist pattern using the reticle 9 having the above structure is explained. FIG. 2(a) shows the exposed state in using the reticle 9. The horizontal axis indicates the position of the surface of the reticle, and the vertical axis indicates the intensity of exposure light (Intensity: unit %). As shown in this drawing, the light intensity is naturally 100% since a chromium film does not exist in the regions except the gate electrode pattern. The portion adjacent to the drain region is a solid pattern of chromium, which completely blocks light. Therefore, the light intensity is 0%. On the other hand, in the portion adjacent to the source region, a plurality of linear slits is formed and the interval of each slit 12 is larger than the width of each linear slit 12. Therefore, the state having 50% or less of a light intensity distribution homogenized by condensed light including a plurality of exposure light L is obtained, viewing the plurality of exposure light L which has passed through a slit having the width equal to or less than the width of the resolution limit as a whole.

[0022]

Therefore, a shape of the resist pattern after conducting light exposure and development in such a condition is, as shown in FIG. 2(b), that a resist film remains 100% since an adjacent side 14D to the drain region has 0% of the light intensity, and a remained resist film is thinner than in the adjacent side 14D to the drain region since an adjacent side 14S to the source region has 50% or less of the light intensity. For example, in the case of using FH-6100 g ray wavelength resist (Made by Fuji Hunt Co., product name), when a coating formation is conducted with a resist film thickness of 1.2  $\mu\text{m}$ , and light exposure is conducted with an exposure energy  $E_{th}=90$  mj (corresponding to a transmissivity of 100%), a remained resist film after a development of the adjacent side 14S to the source region is approximately 0.6  $\mu\text{m}$ . In this manner, the completed resist pattern 14 includes a step portion 14a in which the side 14D adjacent to the drain region is high and the side 14S adjacent to the source region is low.

[0023]

The reason why the intensity of exposure light in the linear slit region should be 50% or less is as follows. Fundamentally, an amount of light exposure in setting the above light intensity to 100% corresponds to an amount of minimal light exposure  $E_{th}$  (Exposure Threshold) at which a photoresist film is dissolved by light exposure and development. However, it is general to set an amount of light exposure used in the actual light exposure or  $E_{opt}$  (an amount of light exposure at which Exposure Optimum = Focus Latitude (generally, Depth of Focus) is maximum) approximately 1.25 to 1.27 times larger than the above  $E_{th}$  corresponding to a transmissivity of 100% in the whole transmissive region (glass region). Therefore, if the whole transmissive region (glass region) is exposed to light with 125 to 127% of  $E_{th}$  in the actual light exposure, and a region including a linear slit has a transmissivity of 50% of the whole transmissive region, the linear slit region is exposed to light with 62.5 to 87.5% of  $E_{th}$ . Here, to make a remained resist film in the linear slit region less than 100%, an amount of light exposure in the linear slit region should be 100% or less of  $E_{th}$ . Therefore, the transmissivity in the linear slit region, in other words, the light intensity is required to be 50% or less.

[0024]

Hereinafter, the manufacturing method of the semiconductor device in the present embodiment mode, which employs the reticle 9 and the formation method of the resist pattern 14, is explained. FIG. 3 is a process flow diagram

which shows an order of the processes for the present manufacturing method.

[0025]

First of all, a gate insulating film 16 including a silicon oxide film is formed with a thickness of approximately 150 Å by a hydrochloric oxidation method in N<sub>2</sub>/O<sub>2</sub> atmosphere at a temperature of 950°C over a silicon substrate 15 (semiconductor substrate) as shown in FIG. 3(a). For forming the gate insulating film 16, a pyrogenic method, a dry oxidation method or the like can be used instead of the hydrochloric oxidation method. Next, a polycrystalline film 17 (gate electrode material) with a thickness approximately of 2000 Å is formed by low-pressure chemical vapor deposition. After coating formation for a non-doped polycrystalline silicon film using SiH<sub>4</sub> gas as material gas, the polycrystalline silicon film 17 used as a gate electrode material is made low-resistalized by a method of diffusing phosphorus or by chemical vapor deposition by adding PH<sub>3</sub> gas to material gas to form a doped polycrystalline silicon film. Note that the thickness 2000 Å of the polycrystalline silicon film is thicker than the thickness of a polycrystalline silicon film by the conventional manufacturing method.

[0026]

Next, a resist pattern 14 for forming a gate electrode is formed over the polycrystalline silicon film 17. After applying a positive type photoresist 18 with a thickness of 1.2 μm over the polycrystalline silicon film 17, as shown in 3(b), a resist pattern 14 including a step portion 14a is formed by using the reticle 9 and the formation method of the resist pattern described above. Specifically, in the assumption of applying light exposure wavelength λ=436 nm, NA=0.55, and a 5:1 reduced projection photolithography device of the resolution limit width=0.65 μm in the case where the gate length is 1.0 μm on a wafer, (5.0 μm on a reticle), a width of the slit on the reticle 9 is 0.1 μm (smaller than the resolution limit width=0.65 μm × 5 =3.25 μm) and a reticle in which three linear slits are formed at 0.2 μm pitch from the source region side is used. Then, a resist pattern 14 having a step portion 14a with a thickness of 0.6 μm of a source region side 14S, and a thickness of 1.2 μm at the drain region side 14D is formed by conducting light exposure at 135 mJ and then development as shown in FIG. 3(c).

[0027]

Next, a gate electrode having a step portion based on the resist pattern 14 including the step portion 14a is formed. There are two methods for the

formation. Hereinafter, the methods are explained with references to FIGS. 4 and 5. First of all, as the first method, the resist pattern 14 having the step portion 14a is formed over the polycrystalline silicon film 17 as shown in FIG. 4(a). Then, anisotropic etching is conducted under the condition that a selected ratio of a polycrystalline silicon film in relation to a photoresist film is almost the same as a ratio of the thicknesses of the photoresist film and the polycrystalline silicon film, in other words, polycrystalline film etching speed 1 (film thickness 2000 Å) in relation to photoresist film etching speed 6 (film thickness 1.2 μm). As a result, a portion that is not covered with the resist pattern 14 in the polycrystalline film 17 is etched, and simultaneously the resist pattern 14 itself is thinned rapidly by etching as shown in FIG. 4(b). When the polycrystalline film 17 is etched to approximately half, the resist pattern 14S on the source region side is completely removed and eliminated as shown in FIG. 4(c). After that, when anisotropic etching is continued in a condition that the resist pattern 14D on the drain region side is remained, a gate electrode 19 having a step portion 19a is formed as shown in FIG. 4(d) since the polycrystalline film 17S on the source region side becomes a mask in a self-alignment manner for the etching.

[0028]

Next, as the second method, the resist pattern 14 having the step portion 14a is formed over the polycrystalline silicon film 17 as shown in FIG. 5(a). Then, anisotropic etching is conducted under a condition that a selected ratio of the polycrystalline silicon film is as high as possible with respect to the photoresist, for example, polycrystalline film etching speed 20 in relation to photoresist film etching speed 1. As a result, a resist pattern 14 having a step portion 14a is hardly etched as shown in FIG. 5(b), and then a portion of polycrystalline silicon film 17 which is not covered with the resist pattern 14 is completely etched. Next, only the low portion 14S on the source region side in the resist pattern 14 is removed by etching back the only resist pattern 14 as shown in FIG. 5(c). Then, a gate electrode 19 having a step portion 19a is formed as shown in FIG. 5(d) by conducting anisotropic etching again under a condition that a selected ratio of the polycrystalline silicon film in relation to the photoresist film is high, and the resist pattern 14D on the drain region side is remained.

[0029]

In this manner, the gate electrode 19 having the step portion 19a is formed by either way of the above. Then, ion implantation is conducted for

forming a low concentration impurity diffusion layer in an LDD structure as shown in FIG. 3(d) to form low concentration impurity implantation layers 20 and 20 in source and drain regions S and D over the surface of the silicon substrate 15. Next, a silicon oxide film 21 with a thickness of 3000 Å to be a sidewall later is formed by a chemical vapor deposition method as shown in FIG. 3(e), and then sidewalls 22a, 22b, and 22c including a silicon oxide film are formed on the side wall of the gate electrode 19 side by etching the silicon oxide film 21 using an etch back method. At this time, the sidewall is formed at three positions: a side adjacent to the drain region D, 22a; a side adjacent to the source region S, 22b; and the step portion 22c.

[0030]

After that, ion implantation is conducted for forming a high concentration impurity diffusion layer in the LDD structure as shown in FIG. 3(f), and high concentration impurity implantation layers 23 and 23 are formed in source and drain regions S and D over the surface of the silicon substrate 15. Then, a thermal treatment is conducted at a temperature of 950 °C and in an atmosphere of N<sub>2</sub>/O<sub>2</sub> to diffuse and activate implanted ions. Thus, low concentration impurity diffusion layers 24S and 24D, and high concentration impurity diffusion layers 25S and 25D are formed in the source region S and the drain region D respectively as shown in FIG. 3(g). Through the above process, the MOS transistor having the LDD structure is completed.

[0031]

The following steps are not shown in the drawing; however, an interlayer insulating film covering the MOS transistor is formed and a contact hole is opened similarly in the conventional manufacturing process of a semiconductor device. At this time, the sidewall formed in the step portion over the gate electrode in the above process is removed by etching in forming the contact hole. After that, a wiring including Al or the like is formed.

[0032]

According to the manufacturing method of the semiconductor device in the present embodiment mode, the gate electrode 19 having the similar step portion 19a can be formed based on the resist pattern 14 having the step portion 14a by etching to remove the resist pattern 14S of the low portion of the source region side first by either of the two methods described above. And, when sidewalls 22a and 22b are formed on the side wall of the gate electrode 19, the width of sidewalls on the drain region side 22a and the source region side 22b is



naturally different since the height of the side wall on the side adjacent to the drain region D and that of the side wall on the side adjacent to the source region S is different.

[0033]

FIG. 6 shows a plan view of the completed MOS transistor. As shown in this drawing, a width of the sidewall 22a on the drain region D side is larger than that of the sidewall 22b on the source region S side. Further, in the present embodiment mode, the thickness of a polycrystalline silicon film (thickness on drain side) is thicker than that of a conventional polycrystalline silicon film. Therefore, even if the condition of ion implantation or thermal diffusion at forming a high concentration impurity diffusion layer is the same as the conventional method, a position of the end portion of the high concentration impurity diffusion layer may come just below the gate electrode 19 on the source region side 25S, but can be kept until just below of the sidewall 22a on the drain region side 25D as shown in FIG. 3(g).

[0034]

As a result, an increase of a parasitic capacitance or an increase in drain conductance can be prevented, since the high concentration impurity diffusion layer 25D at the drain region D does not come just below of the gate electrode 19, which is different from the manufactured semiconductor device by the conventional method. In addition, degradation in a characteristic of an element such as degradation of withstand pressure due to a short channel effect can be suppressed since the interval between the high concentration impurity diffusion layers between source and drain is not shortened.

[0035]

Further, according to the formation method of a resist pattern in the present embodiment mode, the number of photolithography processes does not need to increase compared with the conventional manufacturing method since the resist pattern 14 having the step portion 14a can be formed in a single photolithography process by devising the structure of the reticle 9.

[0036]

Note that the present invention is not limited to the above described embodiment mode, and various changes can be added in the scope without departing from the spirit of the present invention. For example, a linear slit is provided to adjust the intensity of exposure light in this embodiment mode; however, the one in which a plurality of openings having an arbitrary shape are

continuously formed can be used without being limited to the linear slit. In addition, an example of a positive type resist process is explained as a photolithography technique; however, the present invention can be applied to a negative type resist process without being limited to this example. In the case of a negative type resist process, since a reticle pattern reverses black and white in relation to a positive type resist process, a portion where a chromium film exists is made to be a portion where a glass surface is exposed and a region except the gate electrode pattern and the linear slit portion are made to a portion where a chromium film exists. Therefore, when the present invention is applied to a negative type resist process, "hollow pattern region" in the scope of claims corresponds to "solid pattern region" in the present embodiment mode, and "a region where a plurality of small patterns are formed" corresponds to "a region where a plurality of linear slits (opening) are formed". Further, a shape of small patterns is arbitrary as well as the above opening.

[0037]

In the above embodiment mode, a step portion is provided over the resist pattern by homogenizing a width and an interval of each linear slit. However, when a width and an interval are changed gradually from a drain region side to a source region side, for example, the light intensity distribution can be adjusted to have an inclination as a whole. In this manner, not a resist pattern having a step portion like in the present embodiment mode but a resist pattern having a tilted top side can be formed. Thus, the object of the present invention can also be achieved by this structure. In addition, it is natural that various specific figures used in the above embodiment mode such as a width of the linear slit, and thicknesses of the remained resist film and the polycrystalline silicon film are just one example and can be changed properly.

[0038]

[Effect of the Invention]

As explained above, it is possible to form a resist pattern having different heights depending on the locations without increasing the number of photolithography processes compared with the conventional method, according to the present invention. By conducting etching using this resist pattern, a gate electrode having different heights depending on the locations is formed, and sidewalls on the side wall of the gate electrode can have different widths on a source side and a drain side. Therefore, degradation in a characteristic of an element such as an increase of a parasitic capacitance, an increase of drain

conductance, and degradation of withstand pressure due to a short channel effect can be suppressed since a high concentration impurity diffusion layer on the drain side can be avoided to be positioned just below the gate electrode.

[Brief Description of Drawing]

[FIG. 1] shows a reticle as one embodiment mode of the present invention, and (a) is a plan view and (b) is a cross-sectional view along A-A line of (a).

[FIG. 2] the above described reticle, and (a) is a light intensity distribution of exposure light, and (b) is a cross-sectional view of a resist pattern after development, when using the reticle.

[FIG. 3] the above described reticle, and a process flow diagram which shows a process order of a manufacturing method of a semiconductor device using the reticle.

[FIG. 4] the above described reticle, and a process flow diagram which shows the first method for forming a gate electrode in the manufacturing method.

[FIG. 5] the above described reticle, and a process flow diagram which shows the second method for forming a gate electrode in the manufacturing method.

[FIG. 6] the above described reticle, and a plan view which shows a gate electrode formed by the manufacturing method.

[FIG. 7] a process flow diagram which shows the conventional manufacturing method of a semiconductor device including an LDD structure.

[FIG. 8] a drawing which shows a problem in the conventional semiconductor device including an LDD structure.

[Description of Reference Numeral]

9 reticle

10 glass portion

11 gate electrode pattern

12 linear slit (opening)

13 solid pattern

14, 14S and 14D resist pattern

14a and 19a step portion

15 silicon substrate (semiconductor substrate)

16 gate insulating film

17 polycrystalline silicon film (gate electrode material)

18 positive type photoresist

19 gate electrode

20 low concentration impurity implantation layer

21 silicon oxide film

22a, 22b, and 22c sidewall

23 high concentration impurity implantation layer

24S and 24D low concentration impurity diffusion layer

25S and 25D high concentration impurity diffusion layer

L exposure light

S source region

D drain region